

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136635

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H03F 3/34

H03F 3/45

H04L 25/06

(21)Application number : 04-118069

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 10.04.1992

(72)Inventor : DREPS DANIEL M  
RIZZO RAYMOND P

(30)Priority

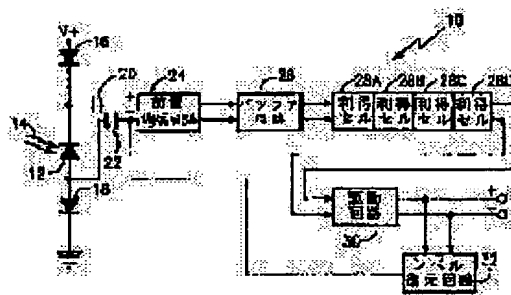
Priority number : 91 698626 Priority date : 10.05.1991 Priority country : US

## (54) SIGNAL RECEIVER

(57)Abstract:

**PURPOSE:** To provide a feedback circuit 32 for a balanced code reception amplifier circuit 24 to eliminate an offset of an amplifier circuit being a cause to deteriorate the performance.

**CONSTITUTION:** A differential trans-impedance amplifier circuit 24 used to amplify an optical signal sent by a balanced code has a level decoding circuit 32 that integrates a digital output of the amplifier circuit 24 and feeds back the integration result to one of differential input terminals of the amplifier circuit 24. The feedback signal is used to eliminate an unbalanced component from an output of the amplifier circuit 24. Then the balanced output of the amplifier circuit 24 is processed by a clock re-configuration circuit to sample accurately a received optical signal at a low bit error rate.



## LEGAL STATUS

[Date of request for examination] 10.04.1992

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application] 17.02.1997

[Patent number]

[Date of registration]

Best Available Cop

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(11)特許出願公開番号

特開平5-136635

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 F 3/34	A	8124-5 J		
3/45	Z	7328-5 J		
H 0 4 L 25/06		8226-5 K		

審査請求 有 請求項の数4(全 8 頁)

(21) 出願番号	特願平4-118069
(22) 出願日	平成4年(1992)4月10日
(31) 優先権主張番号	07/698626
(32) 優先日	1991年5月10日
(33) 優先権主張国	米国(US)

(71)出願人 390009531  
インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72)発明者 ダニエル・マーク・ドレブス  
アメリカ合衆国、ニューヨーク州13760、  
エンディコット、パインクノール・ロード  
114番地

(74)代理人 弁理士 頼宮 孝一 (外2名)

最終頁に続く

(54) 【発明の名称】 信号受信装置

(57) 【要約】

【目的】本発明は性能を低下させる増幅回路のオフセットを除去する平衡コード受信増幅回路24用の帰還回路32を提供することである。

【構成】平衡コードにより伝送された光信号を増幅する際に用いられた差動トランスインピーダンス増幅回路 24 は、増幅回路 24 のデジタル出力を積分し、かつこの結果を増幅回路 24 の差動入力端子の 1 つにフィードバックするレベル復元回路 32 を有する。フィードバック信号は当該増幅回路 24 の出力から不平衡を除去する。その後平衡化された増幅回路 24 の出力は、受信された低ビットエラー率の光信号を正確にサンプリングするためにクロック再構成回路によって処理される。

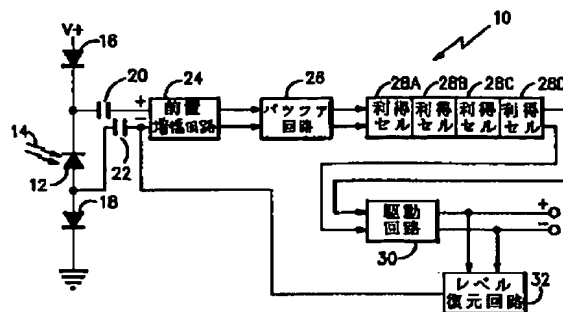


図1 ファイバ光受信装置

## 【特許請求の範囲】

【請求項1】 伝送されて来た平衡コードから多ビット2値デジタルメツセージを再現する受信装置において、受信した平衡コードを増幅し、かつ2値デジタル出力を送出する差動増幅回路と、

上記差動増幅回路のデジタル出力を積分し、かつ上記差動増幅回路の入力端子の1つにフィードバック信号を送出する増幅回路のデジタル出力端子に結合された能動素子レベル復元回路とを具えることを特徴とする信号受信装置。

【請求項2】 上記レベル復元回路はさらに、上記差動増幅回路によつて与えられた論理「H」レベルのデジタル信号及び論理「L」レベルのデジタル信号のパルス幅の差を決定する手段と、上記差動増幅回路からのデジタル出力が平衡となるように上記パルス幅の差の信号を積分し、かつ上記差動増幅回路の上記入力端子の1つに上記信号を送出する手段とを具えることを特徴とする請求項1に記載の信号受信装置。

【請求項3】 光学的に伝送されて来た平衡コードから多ビット2値デジタルメツセージを再現するファイバ光受信装置において、

受信した光信号を電気的信号に変換する光検出回路と、上記電気的信号を増幅しかつ2値デジタル出力を供給するようになされていると共に、上記光検出回路に結合された電流を交互に切り換える差動増幅回路と、上記差動増幅回路のデジタル出力を積分し、かつ上記差動増幅回路の入力端子の1つにフィードバック信号を供給する上記差動増幅回路のデジタル出力に結合された能動素子レベル復元回路とを具えることを特徴とする信号受信装置。

【請求項4】 上記レベル復元回路はさらに、上記差動増幅回路によつた与えられた「H」レベルのデジタル信号及び「L」レベルのデジタル信号のパルス幅の差を決定する手段と、上記差動増幅回路からのデジタル出力が平衡となるように上記パルス幅の差の信号を積分し、かつ上記差動増幅回路の上記入力端子の1つに上記信号を送出する手段とを具えることを特徴とする請求項3に記載の信号受信装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は信号受信装置に関し、特に2値通信受信装置について、平衡コードを処理するファイバ光受信装置における増幅回路のオフセットを除去する増幅帰還回路に適用して好適なものである。

## 【0002】

【従来の技術】 一般的に2値通信受信装置は、マイクロボルトないしミリボルトレンジの信号によつて動作し、この信号は論理レベルにまで増幅する必要がある。通常は差動入力装置が用いられる。入力段は完全には平衡が維持されておらず、多段増幅器を用いた場合各段は前の

オフセットを加えて増幅する。レーザを用いて光信号を発生させる場合、レーザ特性もDCオフセット問題の一因となり得る。増幅回路の出力をゼロにするのに必要な入力電圧の差分を入力オフセット電圧と呼ぶ。オフセットは、増幅回路に用いるトランジスタを製造する際に発生した変動のために生ずる。入力オフセット電圧は温度及び時間に応じてドリフトする。不平衡は入力信号と共に増幅され、当該増幅回路のデジタル化された出力においてデジタル化信号の時間周期に歪みを生じさせる。

## 【0003】

【発明が解決しようとする課題】 高速デジタル（ギガビットシステム）ファイバ光データシステムは平衡コード系を用い、これによりデータ再現回路を簡略化する。平衡コード系においては高ビット及び低ビットの平均数が等しい。光学システムにおいて、増幅回路から出力される信号は例えばラッチ回路を制御することにより増幅回路のデジタル出力をサンプリングするクロック復元回路によつて処理されるようになされた光学システムの場合、クロック復元回路は高いレベル（これを「H」レベルと呼ぶ）のデジタルパルス及び低いレベル（これを「L」レベルと呼ぶ）のデジタルパルスの幅が等しいということを前提としている。当該パルスの長さが等しくないとき、データをサンプリングする際のビットエラー率が増加し、その結果達成し得るデータ伝送率を制限する結果になる。パルス幅の歪みを低減することにより、ビットエラー率を低下させる。送信装置及び受信装置間を所望の距離にしたシステムにおいて、ビットエラー率が増加するとこれがデータの統合性に不利な影響を与える。感知性が10 [dbm]低下すればオフセット効果の原因となり得、オフセット効果は所望のビットエラー率を維持するために約20 [km]の距離の不利益を引き起こし得る。

【0004】 本発明の目的は性能を低下させる増幅回路のオフセットを除去する平衡コード受信増幅回路用の帰還回路を提供することである。

【0005】 本発明の他の目的は最高のビットエラー率を増幅回路から得ることができる平衡コード受信増幅回路用の帰還回路を提供することである。

【0006】 本発明の他の目的は増幅回路と同一の集積回路にも搭載できる帰還回路を提供することである。

【0007】 本発明のさらに他の目的は、高利得のトランスインピーダンス増幅回路を用いる際に増幅回路のオフセットを適正に平衡を保たせるようにしたレベル復元回路を提供することである。

## 【0008】

【課題を解決するための手段】 かかる課題を解決するため本発明においては、伝送されて来た平衡コードの多ビット2値デジタルメツセージを再現する受信装置10において、受信した平衡コードを増幅し、かつ2値デ

ジタル出力を送出する差動増幅回路24と、差動増幅回路24のデジタル出力を積分し、かつ差動増幅回路24の入力端子の1つにフィードバック信号を送出する差動増幅回路24のデジタル出力端子に結合された能動素子レベル復元回路32とを具えるようにする。

【0009】

【作用】本発明の1つの特徴は、伝送されて来た平衡コードの多ビット2値デジタルメッセージを受信する受信装置を提供することである。当該受信装置は受信した平衡コードを増幅し、かつ2値デジタル出力を供給する差動増幅回路を含む。さらに当該増幅回路はデジタル出力端子に結合され、かつ差動増幅回路の入力端子の1つにフィードバック信号を送出する能動素子レベル復元回路を含む。当該レベル復元回路は増幅回路によって与えられた「H」レベルのデジタル信号及び「L」レベルのデジタル信号のパルス幅の差を決定し、かつパルス幅の差の信号を積分する。この積分されたパルス幅は、増幅回路から平衡デジタル出力が得られるように差動増幅回路の入力端子の1つに送出される信号である。

【0010】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0011】以下に参照する図面における同一の符号は同一の素子を表す。図1には本発明を利用するファイバ光受信回路10を示す。ファイバ光受信回路10はその入力端子に光検出PINダイオード12を有する。光14が光検出PINダイオード12に入射すると、当該光検出PINダイオード12は導通状態となる。光検出PINダイオード12は、低い熱雑音源を与えるダイオード16及び18の直列抵抗が低いので、これらダイオード16及び18によってバイアスされる。またバイアスを与えるために各ダイオード16及び18を抵抗に置き換えることもできる。光検出PINダイオード12のアノード及びカソードはACカップリングコンデンサ20及び22を介して差動トランスインピーダンス（電圧に対する電流）前置増幅回路24の差動入力端子に適用される。前置増幅回路24の帯域通過は送信されたコードが走る最長の長さ及び最短の長さに調整され、バッファ回路26は前置増幅回路24の出力端子に接続されて前置増幅回路24のDC電圧スウィングをAC電流スウィングに変換するために用いられる。複数の利得セル28\*

$$1 \text{ (時間 } T1) = (21 - 1) \times \text{ (時間 } T2) \quad \dots\dots (1)$$

【0015】ここで時間T1は駆動回路30の出力信号が「H」レベルであるときの時間であり、時間T2は駆動回路30が「L」レベルのときの時間である。時間T1の間スイッチ型電流引き抜き回路は切り離され、また時間T2のときスイッチ型電流引き抜き回路はスイッチ型電流引き抜き回路及び電流源の接続点に接続してその接続点から電流を引き抜く。

\*A~28Dはバッファ回路26の出力端子に縦続接続される。

【0012】米国特許出願第07/512,304号に記述されているように、好適に実行される各利得セルは、第1及び第2の共有エミッタ差動トランジスタ、当該トランジスタのエミッタに結合された電流源並びに電源端子及び第2のトランジスタのベース間に接続された第1の複数の順方向にバイアスされた直列ダイオードを含み得る。第1の利得セルの第1のトランジスタのコレクタは第2の利得セルの第1のトランジスタのベースに結合され、第1の利得セルの第2のトランジスタのコレクタは第2の利得セルの第2のトランジスタのベースに結合される。バイアスダイオードの固有抵抗が低いため増幅回路の動作速度は早くなるので、電源電圧を高めずに電流を増幅することができる。電流源はトランジスタを飽和させずに、すなわち動作速度を低下させずに、高レベル信号の利得を制限する。各ダイオードの固有抵抗及びベースの固有抵抗並びに各トランジスタのエミッタ層は、各セルの利得がトランジスタのベースに接続されたダイオードの数と等しくなるように同一にする。駆動回路30は利得セル28Dの出力端子に接続される。レベル復元回路32は駆動回路30及び前置増幅回路24間に接続される。シングルエンドレベル復元回路は増幅回路段に存在するDCオフセットを除去して増幅回路の出力の不平衡を除去する。

【0013】図2は図1に示されているレベル復元回路32の高レベル回路を示す。電流Iを供給する電流源36は、電流2Iを引き抜く接地されたスイッチ型電流引き抜き回路38に直列に接続されている。このスイッチ型電流源は光検出PINダイオード12における「H」レベルの光及び「L」レベルの光を表す図1の駆動回路30のデジタル化された出力によってターンオン及びターンオフされる。スイッチ型電流源は駆動回路30の出力の論理レベルが「L」レベルのとき動作し、増幅回路の出力の論理レベルが「H」レベルのときは動作しない。次式(1)は、「H」レベルのパルス及び「L」レベルのパルスのパルス幅が等しいとき、電流源及びスイッチ型電流引き抜き回路の接続点に供給される信号を示す。

【0014】

【数1】

【0016】直列に接続されている安定抵抗40及び積分コンデンサ42がスイッチ型電流引き抜き回路38に並列に接続されている。安定抵抗40は増幅回路に発振を生じさせるフィードバックループにおける不安定性を回避する。可変抵抗44の一端は電流源及びスイッチ型電流引き抜き回路の接続点に接続され、可変抵抗44の他端は電圧源に接続される。分離抵抗46は可変抵抗44及

び安定抵抗40間に接続され、レベル復元回路32の出力端子は当該分離抵抗46を介して前置増幅回路24の反転入力端子に供給される。電流源36及びスイッチ型電流引抜き回路38の接続点からの信号は安定抵抗40を介して積分コンデンサ42に与えられ、積分コンデンサ42はこの信号をフィルタリングし、かつ時間T1及\*

\*び時間T2において生ずる入出力電流の電流時間積比に基づいて積分コンデンサ42の両端にDC電圧を形成する。次式(2)は安定状態における電流時間平衡条件を示し、式(4)は電流時間積比を示す。

[0017]

[数2]

$$I_{source} \times T_{on} = (I_{sink} - I_{source}) \times T_{off}$$

..... (2)

[0018] 電流I<sub>source</sub>は電流源によつて供給された電流であり、電流I<sub>sink</sub>はスイッチ型電流引抜き回路によつて供給された電流により供給される電流である。T<sub>on</sub>は増幅回路のデジタル出力が「H」レベルのときの時間であり、このときスイッチ型電流源は※

※切り離されている。T<sub>off</sub>は増幅回路のデジタル出力が「L」レベルであるときの時間であり、スイッチ型電流源は電流を切り換える。

[0019]

[数3]

$P_{ratio} = I_{source} / I_{sink}$   
と定義すると、

..... (3)

★[数4]

[0020]

★

$$T_{on} = (1 / P_{ratio} - 1) \times T_{off}$$

..... (4)

となる。

[0021] DC電圧を抵抗40及び46を介して前置増幅回路24の入力端子にフィードバックすることにより、「H」レベルのパルス及び「L」レベルのパルスのパルス幅が等しくなるように調整する。例えば積分処理により積分コンデンサ42に発生するDC電圧が極端に「L」レベル(増幅回路のオフセットによつて、発生する論理「L」レベルのパルス幅に対して論理「H」レベルのパルス幅が狭い)のとき、前置増幅回路24の反転入力端子へのフィードバックは、論理「H」レベルのパルス幅を一段と広くし、かつ論理「L」レベルのパルス幅を一段と狭くし、これにより論理「H」レベルのパルス幅を補正する。かかる動作は積分処理が満足されるまで続けられる。かくして、データストリームによつて発生された電流時間積が積分コンデンサにDC電圧を発生したとき、増幅回路にフィードバックがなされることにより平衡出力を形成する結果を生ずる。電流源及びスイッチ型電流引抜き回路は不完全な素子から構成されているが、例えばレーザトリミングによつて調整し得る可変抵抗44を設けることにより、レベル復元回路における初期誤差を除去し、例えばスイッチ型電流源の電流が正確には電流源の電流の2倍にはならないために、この初期誤差が帰還回路の有効性を低減するおそれがあるような場合でも、当該初期誤差を除去できる。可変抵抗44に供給される電圧をゼロ〔v〕又は必要に応じて負の電圧にすることができる。

[0022] 図3は図2のレベル復元回路に用いられるトランジスタ及び抵抗を示す。電流を2つの負荷に供給する電流ミラー回路は、PNPトランジスタ50、52、54及び56を有し、トランジスタ50、52及び54は整合されている。トランジスタ50はそのコレク

20 タから所定の電流I<sub>ref</sub>を引き抜かれ、その結果トランジスタ50は適正な電圧V<sub>be</sub>をもつ状態になる。トランジスタ50には並列に、同じ抵抗値のエミッタ抵抗58をもちかつベースが互いに接続されたトランジスタ52及び54が接続されている。エミッタ抵抗58は同一の電源に接続される。トランジスタ56のベースはトランジスタ50のコレクタに接続され、かつそのエミッタはトランジスタ50、52及び54のベースに接続されて適正なベース電流を供給する。トランジスタ56のコレクタは接地されている。トランジスタ52のコレクタの電流は、NPNトランジスタ60、62及び64を有する2つの電流を引き抜く電流引抜き回路に供給される。トランジスタ60、62及び64は整合されたトランジスタである。トランジスタ60はそのコレクタに電流Iを供給され、その結果適正な電圧V<sub>be</sub>をもつ状態になる。トランジスタ62及び64は同一の電圧値V<sub>be</sub>を有し、従つて同一の電流を引き抜くようにトランジスタ60と並列に接続されている。エミッタ抵抗66は同一の抵抗値を有し、接地されている。トランジスタ60、62及び64のベースは共通に接続されている。トランジスタ60のベースはトランジスタ60のコレクタに接続されてベース電流を与える。トランジスタ54のコレクタはNPNトランジスタ68を介してトランジスタ62のコレクタに接続されている。ブロック70においてダイオードドロップ及び抵抗によつて達成され得るDCレベル遷移後の駆動回路30の正の出力は、トランジスタ68のベースに接続されている。増幅回路の正の出力の位相と180〔°〕異なる位相を有する増幅回路の負の出力も、ブロック70においてDCレベル遷移を受け、NPNトランジスタ72のベースに接続されている。トランジスタ72のコレクタ及びエミッタはそれぞ

れ電源及びトランジスタ64のコレクタに接続されている。トランジスタ54及び68のコレクタの接続点は安定抵抗40を介して積分コンデンサ42に接続されることにより接地される。またトランジスタ54及び68のコレクタの接続点は可変抵抗44を介して電源に接続されている。トランジスタ54及び68のコレクタの接続点は分離抵抗46を介して前置増幅回路24の反転入力端子に接続される。

【0023】動作時、平衡コード系を用いて情報を受信装置10に伝送する。平衡コード系において「H」レベルのパルス及び「L」レベルのパルスの数は、予め定められた数の伝送されたビット以上である。例えば8を10に置き換える型式のコード化系においては20ビットごとに50[%]のデューティサイクルが達成される。駆動回路30の出力端子には、受信装置に伝送されたデジタル情報に対応するデジタル化された出力が得られる。この情報は駆動回路30の出力をサンプリングするためのラッチ回路(図示せず)を制御するクロック復元回路に与えられる。クロック復元回路は「H」レベルのデジタルパルス及び「L」レベルのデジタルパルスの幅が等しいという事実を前提としている。当該パルスの長さが等しくないとき、データをサンプリングする際のビットエラー率が増加し、これが達成することができるデータ伝送率及びデータ伝送距離を制限する結果になる。

【0024】トランジスタ54及び68の2つのコレクタの接続点の電流パルスは、トランジスタ68及び72がバイアスをかけられて交互に導通状態になるとき生じ、積分コンデンサ42によつて積分される。積分コンデンサ42は当該電流パルスをフィルタリングして積分コンデンサ42の両端に入出力電流の電流時間積分比に対応するDC値になる電圧を提供する。好適な実施例の場合同一チップ上において、電流源ミラー動作はPNPトランジスタで実行され、電流引き抜きミラーはNPNトランジスタで実行されるので、これら2つの型式のトランジスタ、すなわちPNPトランジスタ及びNPNトランジスタ間には電流利得のような特性に相違がある。PNPトランジスタの電流利得は一段と小さいので、PNPトランジスタは供給される電流の2倍以上の電流でなる引き抜き電流のような少ない電流を与える。レベル復元回

$$\text{歪み}(\%) = ((T_{on} - T_{off}) / (T_{on} + T_{off})) \times 100(\%)$$

【0029】デュアルエンドフィードバックと比較して、前置増幅回路24の差動入力端子の1つにフィードバックされるシングルエンドフィードバックを用いることにより、増幅回路の性能を低下させる真性雑音を生じさせないようにできる。

【0030】増幅回路のオフセットを補正する高利得フィードバックをもつ平衡コード通信受信装置については

\*路における他のいかなる種類の回路でも、この相違は、レーザトリミングによる初期の校正中にレベル復元回路32を含むチップを有するモジュールの基板部分に配置することができる可変抵抗44によつて補うことができる。校正中平衡な「H」レベルのパルス及び「L」レベルのパルスの入力を交互に前置増幅回路24に直接供給することができる。

【0025】レベル復元回路はコンデンサに電流を供給する電流源をもつ能動素子を含むので、当該コンデンサは積分回路として動作する。レベル復元回路によつて与えられるDC補正は、DC動作時利得が大きいため、ほとんど完全になされる。レベル復元回路が受動素子だけを有する場合、増幅回路の出力端子に検出される不均衡は平均化されてフィードバックされるだけである。不均衡が補正されないままである場合には、平均化されたものはそのままである。本発明においては、いかなる不平衡があつても、不平衡が補正されるまで、一定の正味の電流がコンデンサに供給され又は除去される結果になる。積分容量の値は、データが走る最大長が前置増幅回路24だけの帯域通過によつて減衰される以上に減衰された周波数以下の周波数応答に適合させるために前置増幅回路24の帯域通過以下に選択される。分離抵抗46の抵抗値は、前置増幅回路24の反転入力端子及びレベル復元回路32間を分離するように選択され、光検出PINダイオード12によつて供給される電流をレベル復元回路に向かわせないようにする。

【0026】図4は200[Mbit]のパターンにおけるクロスオーバー歪みを示す。図5はクロスオーバー歪みが低減され、かつレベルを復元された出力信号を示し、これによりビットエラー率のペナルティを増加させずに、一段と長い距離で通信することができる。

【0027】200[Mbit]及び1[Gbit]のビット率を有するシステムにおいて、差動増幅回路をもつ能動素子帰還回路を用いて次式(5)によつて決定されるようにプラス2[%]又はマイナス2[%]以下に歪みを低減する。

【0028】

【数5】

$$\dots\dots (5)$$

上述した。

【0031】上述の通り本発明をその最適な実施例に基づいて特定的に図示、説明したが、本発明の精神及び範囲から脱することなく形式及び詳細構成の双方について種々の変更を加えてもよい。

【0032】

【発明の効果】上述のように本発明によれば、増幅回路

のオフセットを除去する平衡コード受信増幅回路用のレベル復元回路を提供することにより、パルス幅の歪みを低減し、これによつてビットエラー率を低下させてデータ伝送率を簡易かつ確実に高めることができる。

【図面の簡単な説明】

【図1】図1はシングルエンドフィードバックの増幅回路を有する光通信受信装置を示す回路図である。

【図2】図2は本発明に従つた図1のレベル復元回路の「H」レベル系を示す回路図である。

【図3】図3は図2のレベル復元回路を実行した部分的なブロックを示す回路図である。

【図4】図4は補正されていないパルス幅をもつデジタル信号示す波形図である。

【図5】図5は補正されたパルス幅をもつデジタル信

号を示す波形図である。

【符号の説明】

10……光受信回路、12……光検出PINダイオード、14……光、16、18……ダイオード、20、22……ACカップリングコンデンサ、24……前置増幅回路、26……バッファ回路、28A～28D……利得セル、30……駆動回路、32……レベル復元回路、36……電流源、38……スイッチ型電流引き抜き回路、40……安定抵抗、42……積分コンデンサ、44……可変抵抗、46……分離抵抗、50、52、54、56……PNPトランジスタ、58、66……エミッタ抵抗、60、62、64、68、72……NPNトランジスタ、70……DCレベル遷移回路。

【図1】

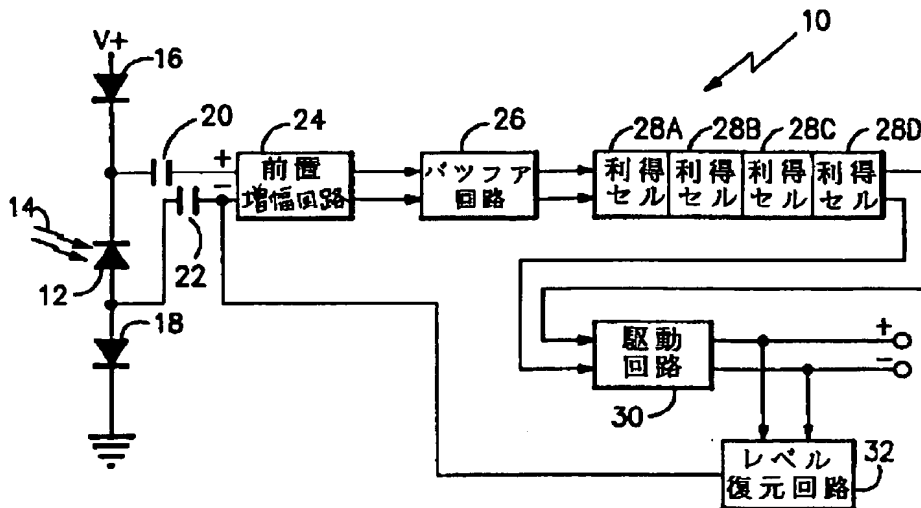


図1 ファイバ光受信装置

【図2】

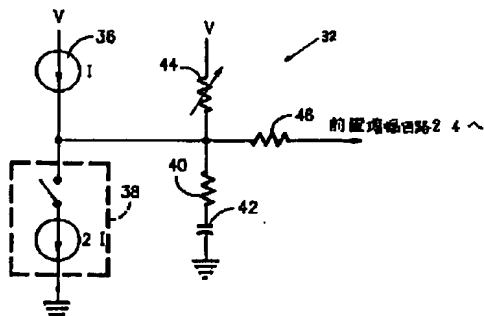


図2 レベル復元回路

【図4】

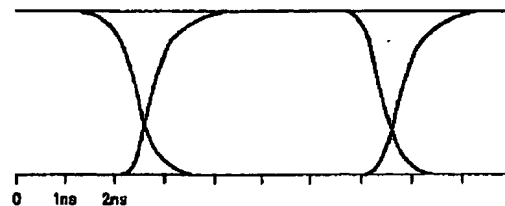


図4 補正されていないデジタル信号



【図3】

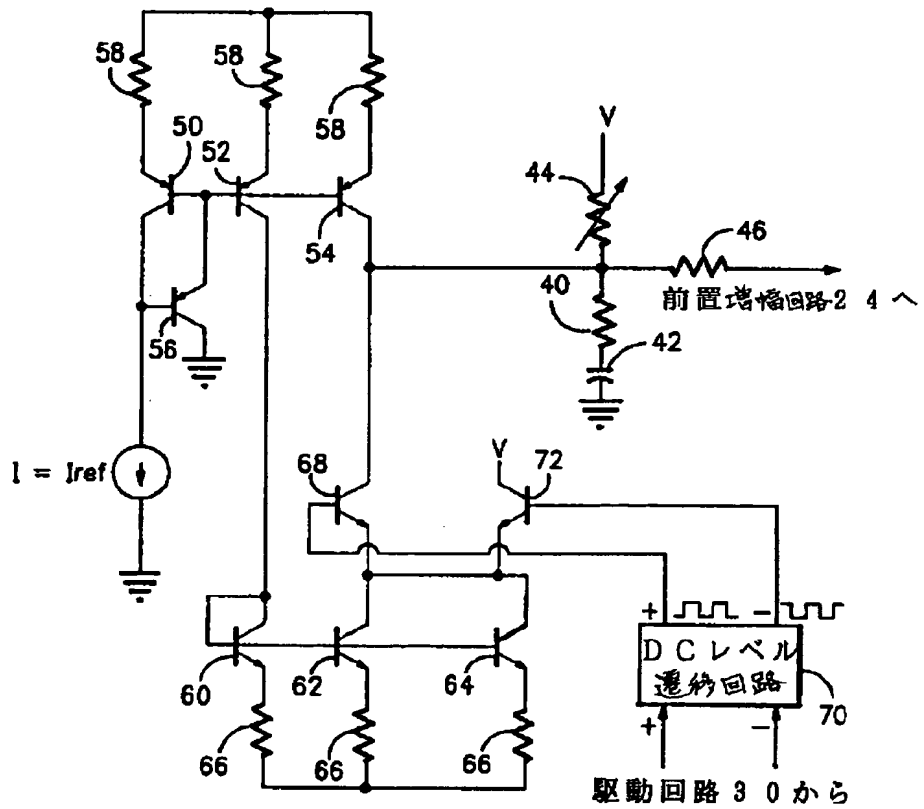


図3 レベル復元回路の実施

【図5】

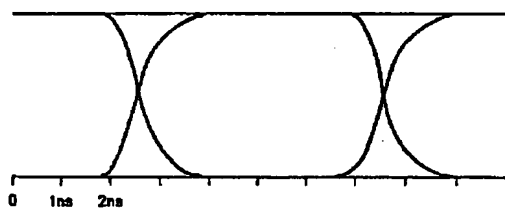


図5 補正されたデジタル信号

フロントページの続き

(72)発明者 レイモンド・ボール・リゾ  
アメリカ合衆国、ニューヨーク州13760、  
ベスタル、シーデイ・ロード、ボツクス・  
386イー、アールデイー1

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**